

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-192130

(43)Date of publication of application : 28.07.1995

(51)Int.Cl.

G06T 7/00
G06F 15/80

(21)Application number : 05-329369

(71)Applicant : NEC CORP

(22)Date of filing : 27.12.1993

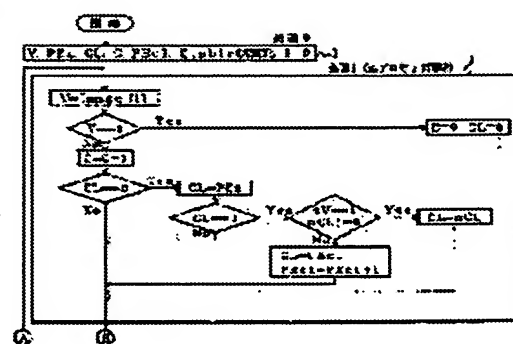
(72)Inventor : KIYO AKIMICHI

(54) TEMPORARY LABELING METHOD

(57)Abstract:

PURPOSE: To efficiently perform a temporary labeling processing on a linear SIMD type processor array by specifying a method corresponding to the labeling processing based on four connections.

CONSTITUTION: A binary image of an H line and a W column is allocated to each processor and each storage space V, PEn, CL, C, and PEc1 is initialized, respective. Data corresponding to one line of image is loaded to the V, and the C and CL are set according to the value of the V. The block run of a processor in which the V is 1 is scanned in parallel and the length G of each run, the maximum C value MC within each run and the proper CL value MCL corresponding to the MC are determined. Next, when the C is 2 or more and the CL is not equal to the MCL, a pair of the CL and MCL are registered in C table, while scanning the each run. Next, each of the CL and C is set to the MCL and MC+G-1 and PEn is set to 0 when the PEn is equal to the MCL. A processing in which the CL value is defined as temporary label data and is written in the one line of storage space K is executed for all the lines of an image.



LEGAL STATUS

[Date of request for examination] 16.03.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2734959

[Date of registration] 09.01.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 09.01.2001

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-192130

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.⁶

G 0 6 T 7/00

G 0 6 F 15/80

識別記号

庁内整理番号

F I

技術表示箇所

7459-5L

G 0 6 F 15/ 70

3 3 0 A

審査請求 有 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平5-329369

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 許 昭倫

東京都港区芝五丁目7番1号 日本電気株式会社内

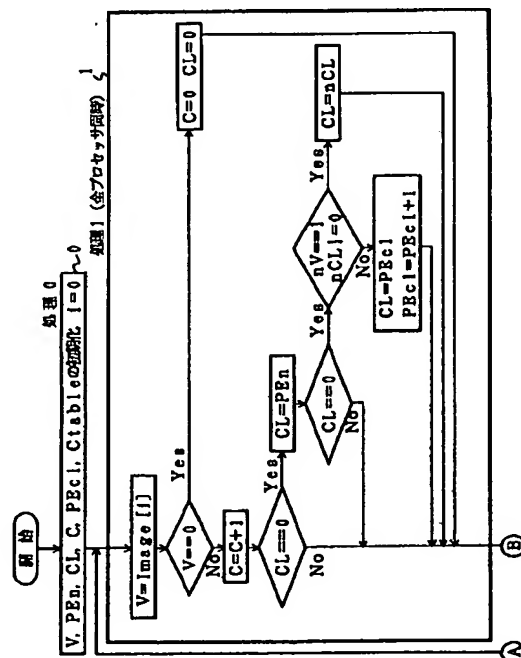
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 仮ラベル付け方法

(57) 【要約】

【目的】 ラベリング処理での仮ラベル付けの処理を、1次元SIMD型プロセッサレイ上で効率よく行う。

【構成】 4連結に基づくラベリング処理、又は8連結に基づくラベリング処理に対応する仮ラベル付け方法。



【特許請求の範囲】

【請求項1】 W個のSIMD型プロセッサが1次元に接続された1次元SIMD型プロセッサアレイで、H行W列の0, 1からなる2値画像の各列を各プロセッサに割り当て、画像内の各連結領域にそれぞれ別々のラベルを割り振るラベリング処理での仮ラベルを付ける方法において、

H行W列の仮ラベルデータを格納するための記憶スペースKと、プロセッサ毎に4つの記憶スペースV、PEN、CL、Cと、ある特定のプロセッサ上の1つの記憶スペースPEclと1つのある程度大きい記憶スペースの配列Ctableに対し、PENをプロセッサごとに順に1からWまでの値で、PEclをW+1で、それ以外の記憶スペースを0で初期化する処理0を実行した後、Vに画像の1行分のデータをロードし、Vが0ならCとCLを0にセットし、Vが1ならCを1だけインクリメントし、Vが1かつCLが0ならCLにPENの値をセットし、それでもCLが0なら隣接のプロセッサのVが1かつCLが0以外なら隣接プロセッサのCLの値をCLにセットし、それ以外ならCLにPEclの値をセットしPEclを1だけインクリメントする処理1と、Vが1であるプロセッサの固まりをランと呼ぶとして各ランを並列に右端から左端まであるいはその逆の向きに走査し各ランの長さG及び各ラン内の最大のCの値MCとMCに対応する適当なCLの値MCLを求める処理2と、各ランを並列に右端から左端まであるいはその逆の向きに走査しながら、Cの値が2以上かつCLがMCLに等しくなければCLとMCLの対をCtableに登録し、次にCLとCをそれぞれMCLとMC+G-1の値にセットし、次にPENがMCLに等しければPENを0にセットする処理3と、CLの値を仮ラベルデータとしてKの1行分には書き込む第4の処理を、画像の全行に対し順に実行することを特徴とする仮ラベル付け方法。

【請求項2】 H行W列の仮ラベルデータを格納するための記憶スペースKと、プロセッサ毎に5つの記憶スペースV、PEN、CL、C、tempCLと、ある特定のプロセッサ上の1つの記憶スペースPEclと1つのある程度大きい記憶スペースの配列Ctableに対し、PENをプロセッサごとに1からWまでの値で、PEclをW+1で、それ以外の記憶スペースを0で初期化する処理0を実行した後、Vに画像の1行分のデータをロードした後、Vが1かつtempCLが0以外ならtempCLとCLの対をSstblに登録してからtempCLを0にセットし、またVが0ならCとCLを0にセットし、Vが1ならCを1だけインクリメントし、次にVが1かつCLが0ならCLにPENの値をセットし、それでもCLが0なら隣接のプロセッサのVが1かつCLが0以外なら隣接プロセッサのCLの値をCLにセットし、それ以外ならCLにPEclの値をセッ

トしPEclを1だけインクリメントする処理1と、Vが1であるプロセッサの固まりをランと呼ぶとして各ランを並列に右端から左端まであるいはその逆の向きに走査し各ランの長さG及び各ラン内の最大のCの値MCとMCに対応する適当なCLの値MCLを求める処理2と、各ランを並列に右端から左端まであるいはその逆の向きに走査しながら、Cの値が2以上かつCLがMCLに等しくなければCLとMCLの対をCtableに登録し、次にCLとCをそれぞれMCLとMC+G-1の値にセットし、次にPENがMCLに等しければPENを0にセットする処理3と、CLの値を仮ラベルデータとしてKの1行分には書き込み、そして各ランの両端のプロセッサがそのランのMCLとMCの値を、同一ランに属さない隣接プロセッサのCLとCにセットし、その際もし同一のプロセッサのCLとCに対し2つのプロセッサが値をセットしようとする場合は片方だけをセットしもう一方のMCLを同じプロセッサのtempCLにセットする第4の処理を、画像の全行に対し順に実行することを特徴とする仮ラベル付け方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ラベリング処理のための仮ラベル付け処理を、1次元のSIMD型プロセッサアレイ上で効率よく実現するための方法に関する。

【0002】

【従来の技術】従来より、ラベリング処理を実現するアルゴリズムは、ラスタ走査型のもの、輪郭追跡型のもの、そして分割統治型のものが存在していた。しかしラスタ走査型や輪郭追跡型のアルゴリズムでは処理が全画素に対し逐次的なものであることから1次元SIMD型のプロセッサアレイ上では効率が悪かった。また分割統治型のアルゴリズムはN×Wのメッシュ結合型プロセッサに対するものが幾つか提案されているが、それらを1次元SIMD型プロセッサアレイ上で実行した場合では、計算量はラスタ走査型のものと同程度になってしまいうため、1次元SIMD型のプロセッサアレイを有効に使用できるものではなかった。

【0003】

【発明が解決しようとする課題】本発明は、上記の従来技術であるラベリング処理での仮ラベルを付ける処理を、1次元SIMD型プロセッサアレイ上で効率よく行えるように、第1の発明は4連結に基づくラベリング処理、そして第2の発明は8連結に基づくラベリング処理、に対応する仮ラベル付け方法を与えることを目的としている。

【0004】

【課題を解決するための手段】W個のSIMD型プロセッサが1次元に接続された1次元SIMD型プロセッサアレイで、H行W列の0, 1からなる2値画像の各列を各プロセッサに割り当て、画像内の各連結領域にそれ

れ別々のラベルを割り振るラベリング処理での仮ラベルを付ける方法において、第1の発明に係わる仮ラベル付け方法は、H行W列の仮ラベルデータを格納するための記憶スペースKと、プロセッサ毎に4つの記憶スペースV、PEN、CL、Cと、ある特定のプロセッサ上の1つの記憶スペースPECLと1つのある程度大きい記憶スペースの配列Ctableに対し、PENをプロセッサごとに順に1からWまでの値で、PECLをW+1で、それ以外の記憶スペースを0で初期化する処理0を実行した後、Vに画像の1行分のデータをロードし、そしてVが0ならCとCLを0にセットし、Vが1ならCを1だけインクリメントし、次Vが1かつCLが0ならCLにPENの値をセットし、それでもCLが0なら隣接のプロセッサのVが1かつCLが0以外なら隣接プロセッサのCLの値をCLにセットし、それ以外ならCLにPECLの値をセットしPECLを1だけインクリメントする処理1と、Vが1であるプロセッサの固まりをランと呼ぶとして各ランを並列に右端から左端まであるいはその逆の向きに走査し各ランの長さG及び各ラン内の最大のCの値MCとMCに対応する適当なCLの値MCLを求める処理2と、各ランを並列に右端から左端まであるいはその逆の向きに走査しながら、Cの値が2以上かつCLがMCLに等しくなければCLとMCLの対をCtableに登録し、次にCLとCをそれぞれMCLとMC+G-1の値にセットし、次にPENがMCLに等しければPENを0にセットする処理3と、CLの値を仮ラベルデータとしてKの1行分に書き込む第4の処理を、画像の全行に対し順に実行することとを特徴としている。

【0005】第2の発明に係わる仮ラベル付け方法は、H行W列の仮ラベルデータを格納するための記憶スペースKと、プロセッサ毎に5つの記憶スペースV、PEN、CL、C、tempCLと、ある特定のプロセッサ上の1つの記憶スペースPECLと1つのある程度大きい記憶スペースの配列Ctableに対し、PENをプロセッサごとに1からWまでの値で、PECLをW+1で、それ以外の記憶スペースを0で初期化する処理0を実行した後、Vに画像の1行分のデータをロードした後、Vが1かつtempCLが0以外ならtempCLとCLの対をSStblに登録してからtempCLを0にセットし、またVが0ならCとCLを0にセットし、Vが1ならCを1だけインクリメントし、次にVが1かつCLが0ならCLにPENの値をセットし、それでもCLが0なら隣接のプロセッサのVが1かつCLが0以外なら隣接プロセッサのCLの値をCLにセットし、それ以外ならCLにPECLの値をセットしPECLを1だけインクリメントする処理1と、Vが1であるプロセッサの固まりをランと呼ぶとして各ランを並列に右端から左端まであるいはその逆の向きに走査し各ランの長さG及び各ラン内の最大のCの値MCとMCに対応

する適当なCLの値MCLを求める処理2と、各ランを並列に右端から左端まであるいはその逆の向きに走査しながら、Cの値が2以上かつCLがMCLに等しくなければCLとMCLの対をCtableに登録し、次にCLとCをそれぞれMCLとMC+G-1の値にセットし、次にPENがMCLに等しければPENを0にセットする処理3と、CLの値を仮ラベルデータとしてKの1行分に書き込み、そして各ランの両端のプロセッサがそのランのMCLとMCの値を、同一ランに属さない隣接プロセッサのCLとCにセットし、その際もし同一のプロセッサのCLとCに対し2つのプロセッサが値をセットしようとする場合は片方だけをセットし、もう一方のMCLを同じプロセッサのtempCLにセットする第4の処理を、画像の全行に対し順に実行することとを特徴としている。

【0006】

【実施例】本発明について図面を参照しながら詳細に説明する。

【0007】図1、2が第1発明による仮ラベル付け方法のフローチャートであり、図中の0、1、2、3、4がそれぞれ本発明の処理0、1、2、3、4を表している。

【0008】以下では図3の4行12列の2値画像を例に第1の発明の実施について説明する。但し図3中の黒丸は画素値が1の画素を表す。

【0009】図4、5、6、7では第1の発明の処理0を実行してから、処理1～4を画像の各行に順に実行する様子を示している。画像の第1行(図4)ではランが一つ(長さ12)だけ存在し、処理2ではラン内の全Cが同値であるためMCLの選択肢として12通り存在するが、ここではその中の最小のCLをMCLに選んでいる。

【0010】処理3では、同一ラン内のCL、CをそれぞれMCL、MC+G-1に書き換え、またMCLに等しいPENを0に書き換え使用済みの印を付ける(図の丸印)。この使用済みのPEN値がこの長さ12のランに付けられた仮ラベル番号となる。処理3で得られたCLが画像の第1行に対する仮ラベルデータであり、処理4ではこのCLをKに書き込み保持する。

【0011】画像の第2行(図5)ではランが3つ(共に長さ1)存在し、処理1では先の行の処理履歴から3つのランに共にCLに1、Cに13を付け、処理2では3つのランに対して共にMCLが1、MCが13と求まる。処理3では同一ラン内のCL、Cをそれぞれ対応のMCL、MC+G-1に書き換え、また今回は使用済みの印を付けるべき新たなPENは存在しない。処理3で得られたCLが画像の第2行に対する仮ラベルデータであり、処理4でこのCLをKに書き込み保持する。

【0012】画像の第3行(図6)ではランが4つ(長さはそれぞれ1、4、1、1)存在する。左からみて第

1のランに属する第1画素に対しては先の行の処理履歴よりCLとPENが共に0、さらに隣接のVもCLも0であるため、処理1ではCには1、CLにはPEclの値(図の丸印)がセットされ、またPEclを1だけインクリメントする。第2のランに属する4画素の内の両端2画素は先の行の処理履歴よりCは14、CLは1となるが、間の2画素は先の行の処理履歴でCLが共に0かつPENが0でないので、Cは共に1でCLは対応するPENの値に従いそれぞれ4、5の値がセットされる。第3と第4のランに属する各1画素は、先の行の処理履歴でCLが共に0かつPENが0でないのでCは共に1、CLは対応するPENからそれぞれ9、12となる。

【0013】処理2では図6に示すように各ランのG、MC、MCLを求め、処理3では各ランのCL、CをそれぞれMCL、MC+G-1に書き換えると同時に、新たに使用済みとなった9、12に等しいPENを0に書き換える。そして処理4では処理3で得られたCLを画像の第3行に対する仮ラベルデータとしてKに書き込み保持する。

【0014】画像の最終行である第4行(図7)ではランが2つ(長さ1と5)存在する。処理1では、左からみて第1のランに属する1画素は先の行の処理履歴でCLが0かつPENが0でないのでCには1、CLには対応するPEN値である2がセットされ、第2のランでは第9と第12画素は先の行の処理履歴によりCが2、CLがそれぞれ9、12であるが、他の画素(第8、10、11画素)は先の行の処理履歴でCLが0かつPENが0でないのでCには1、CLには対応するPEN値である8、10、11がそれぞれに付けられ

る。
【0015】続く処理2では(MCLに複数の選択肢がある場合は小さいものを選ぶようにして)両ランのMC、MCLを求め、そして処理3では両ランのCL、CをそれぞれMCL、MC+G-1に書き換え、新たに使用済みとなった2に等しいPENを0に書き換えると同時に、第2のランにおいてCが2である第12画素のCLの値が12から、MCLである9に書き換えられ、そしてCtableへ(12, 9)の仮ラベル対が登録される。処理4では処理3で得られたCLを画像の第4行に対する仮ラベルデータとしてKに書き込み保持する。

【0016】こうして得られた図3の画像に対する仮ラベルデータKを図8に示す。最終的なラベリング処理の結果は、Kの仮ラベルデータと、Ctableに登録されている情報(この場合は(12, 9)という情報のみ)、及び従来のラベル分類手法のいずれか(例えば電子通信学会論文誌'89/2Vol. J72-D2 No. 2 pp. 247-255)を用いて仮ラベルデータKの書き換えを行えば得ることができる。図9が図8の仮ラベルに分類処理を施した後に得られるラベル画像

であり、また図の丸印が分類処理で書き換えられた場所を示している。

【0017】図10、11が第2の発明による仮ラベル付け方式の構成図であり、図中の0、1、2、3、4がそれぞれ本発明の処理0、1、2、3、4を表している。

【0018】以下では先の第1の発明と同様に図3の4行12列の2値画像を例に第2の発明の実施について説明する。

【0019】図12、13、14、15は第2の発明の処理0を実行してから、処理1~4を画像の各行に順に実行する様子を示したものである。画像の第1行(図12)ではランが一つ(長さ12)だけ存在し、処理2ではラン内の全Cが同値であるためMCLの選択肢として12通り存在するが、ここではその中の最小のCLをMCLに選んでいる。

【0020】処理3では、同一ラン内のCL、CをそれぞれMCL、MC+G-1に書き換え、またMCLに等しいPENを0に書き換え使用済みの印を付ける(図の丸印)。この使用済みのPEN値がこの長さ12のランに付けられた仮ラベル番号となる。処理3で得られたCLが画像の第1行に対する仮ラベルデータであり、処理4ではこのCLをKに書き込み保持する。なお、この場合ランの両端にはプロセッサが存在しないので、MCL、MCの伝搬操作は行わない。

【0021】画像の第2行(図13)ではランが3つ(共に長さ1)存在し、処理1では先の行の処理履歴から3つのランに共にCLに1、Cに13を付け、処理2では3つのランに対して共にMCLが1、MCが13と求まる。

【0022】処理3では同一ラン内のCL、Cをそれぞれ対応のMCL、MC+G-1に書き換え、また今回は使用済みの印を付けるべき新たなPENは存在しない。処理3で得られたCLが画像の第2行に対する仮ラベルデータであり、処理4でこのCLをKに書き込み保持し、かつ3つのランそれぞれのMCL及びMCをランの両端にある、ランに属さないプロセッサのCL、Cにセットするという形でMCL、MCの伝搬を行う。

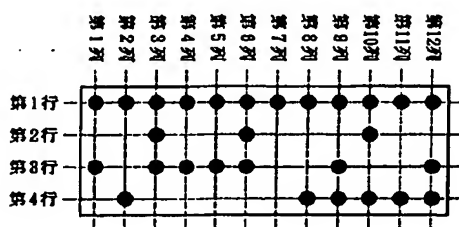
【0023】画像の第3行(図14)ではランが4つ(長さはそれぞれ1, 4, 1, 1)存在する。左からみて第1のランに属する第1画素に対しては先の行の処理履歴よりCLとPENが共に0、さらに隣接のVもCLも0であるため、処理1ではCには1、CLにはPEclの値(図の丸印)がセットされ、またPEclを1だけインクリメントする。第2と第3のランに属する全画素は共に先の行の処理履歴よりCは14、CLは1となる。第4のランの1画素は、先の行の処理履歴でのCLが0かつPENが0でないのでCは1、CLは対応するPENから12にセットされる。

【0024】処理2では図14に示すように各ランの

【0029】図17が図16の仮ラベルに分類処理を施した後に得られるラベル画像であり、図の丸印が分類処理で書き換えられた場所を示している。

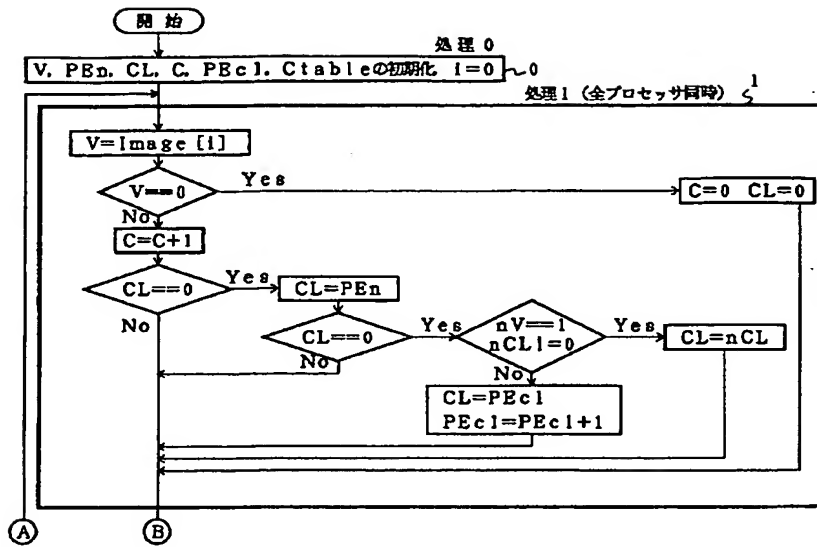
【図 17】第 2 の発明に対する実施例の結果に対するラベル分類の結果である。

【圖8】

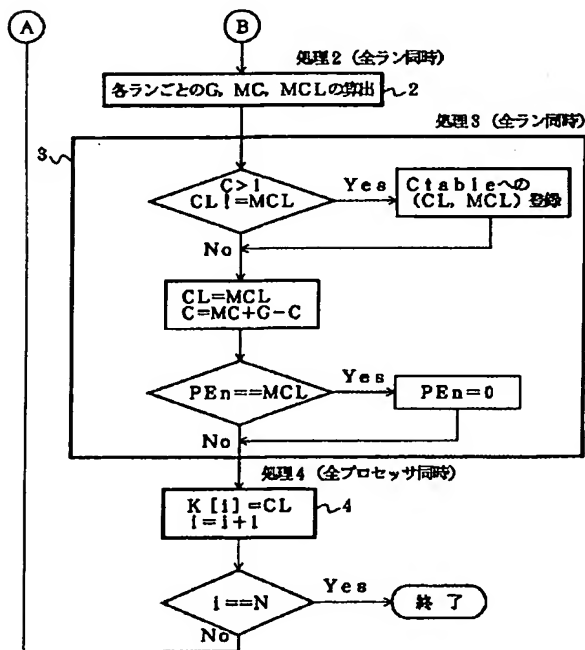


K	[0]	1	1	1	1	1	1	1	1	1	1	1
K	[1]	0	0	1	0	0	1	0	0	0	1	0
K	[2]	13	0	1	1	1	1	0	0	8	0	12
K	[3]	0	2	0	0	0	0	9	8	8	9	8

【圖 1】

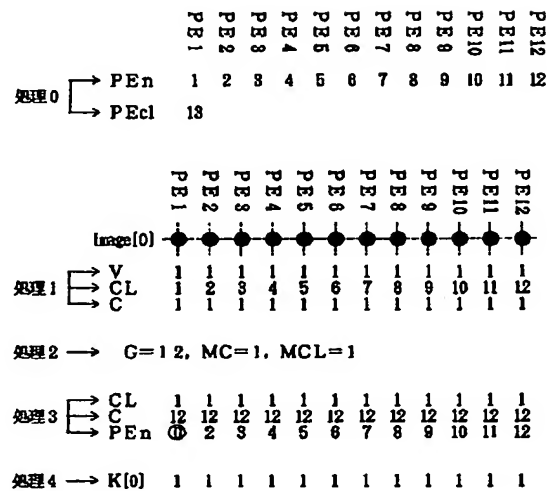


【圖2】



【図9】

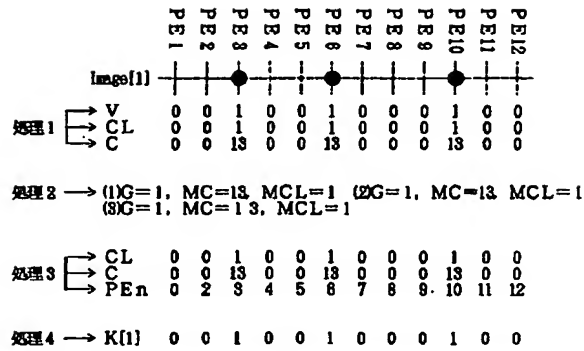
【圖4】



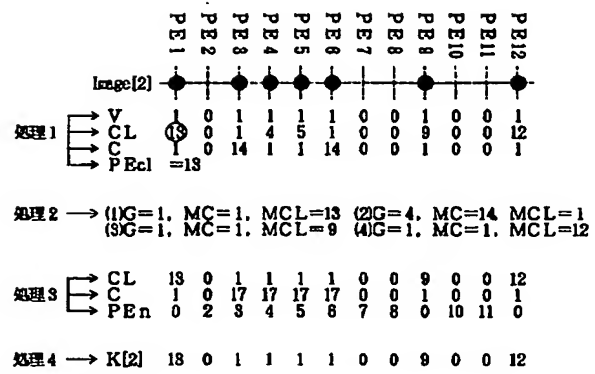
【图 16】

K[0]	1	1	1	1	1	1	1	1	1	1	1	K[0]	1	1	1	1	1	1	1	1	1	1
K[1]	0	0	1	0	0	1	0	0	0	0	0	K[1]	0	0	1	0	0	1	0	0	0	0
K[2]	13	0	1	1	1	1	0	0	9	0	0	K[2]	13	0	1	1	1	1	0	0	1	0
K[3]	0	2	0	0	0	0	0	9	9	9	9	K[3]	0	1	0	0	0	0	0	1	1	1

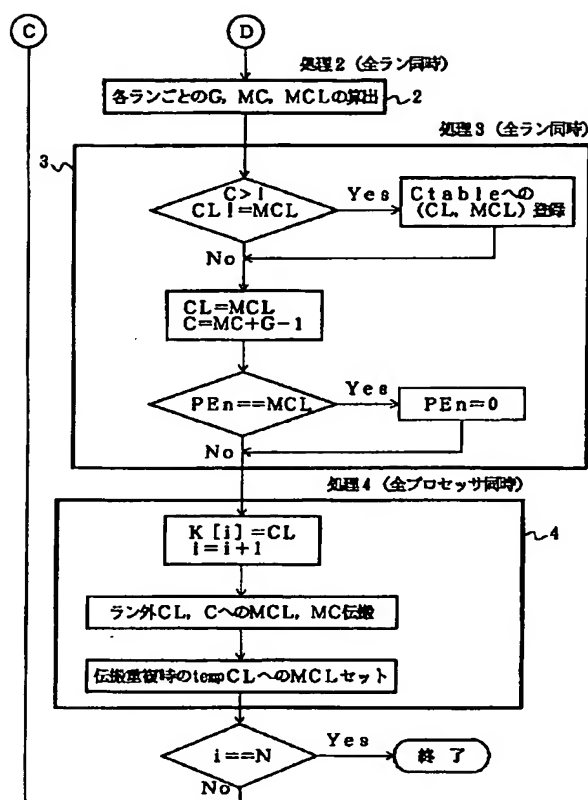
【図5】



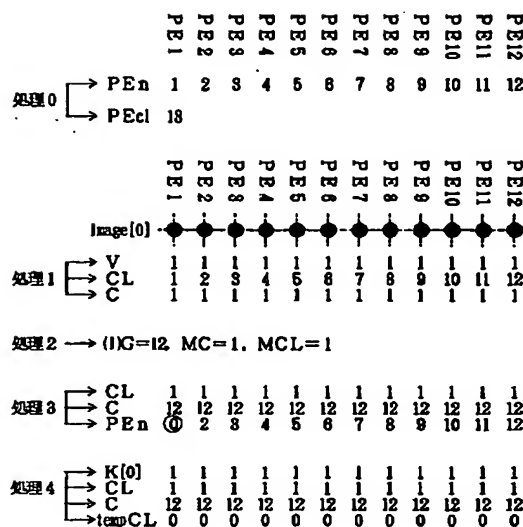
【図6】



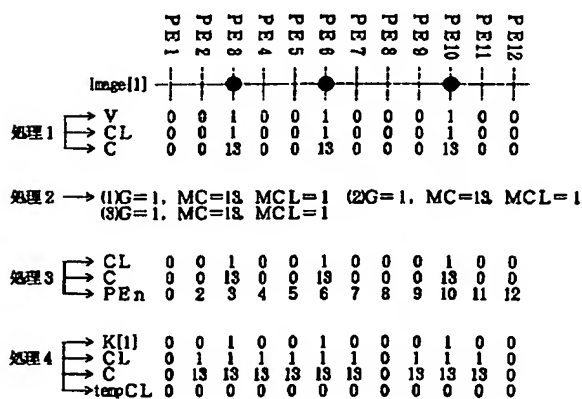
【図11】



【図12】



【図13】



【図14】

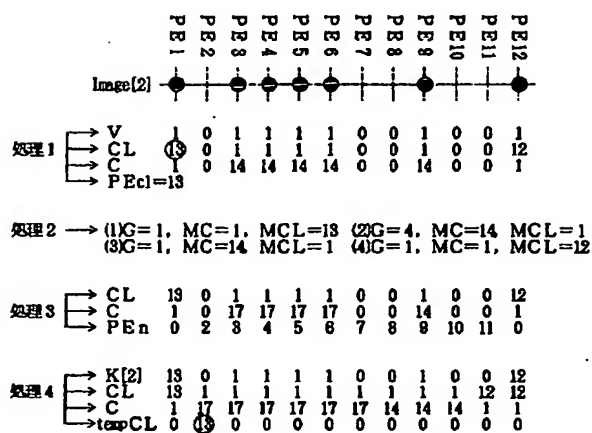


Figure 1 illustrates the data flow of the proposed algorithm across 12 processing elements (PE1 to PE12). The input is Image[S], which is processed sequentially by each PE. The output of PE12 is Image[S]. The diagram also shows the state of the CCL and Ctable registers for each PE. PE1: CCL=0, Ctable=0. PE2: CCL=1, Ctable=17. PE3: CCL=0, Ctable=0. PE4: CCL=0, Ctable=0. PE5: CCL=0, Ctable=0. PE6: CCL=0, Ctable=0. PE7: CCL=0, Ctable=0. PE8: CCL=1, Ctable=14. PE9: CCL=1, Ctable=14. PE10: CCL=1, Ctable=14. PE11: CCL=1, Ctable=12. PE12: CCL=1, Ctable=2.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.